Національний технічний університет України

«Київський політехнічний інститут імені Ігоря Сікорського»

Кафедра конструювання електронно-обчислювальної апаратури

**Лабораторна робота №1**

**з “Апаратних прискорювачів обчислень на мікросхемах програмованої логіки”**

на тему:

**«Основи Mathlab»**

Виконав:

Добродій Роман Павлович

**студент III-го курсу ФЕЛ**

**гр. ДК-01**

**Дата виконання: 23.10.2022**

Київ – 2022 р.

1. **В Simulink реалізувати підсистему, що розраховує функцію:**

Y = W0\*X0 + W1\*X1 + W2\*X2 + W\*X3

Типи даних входів: int8; Тип даних виходу: int16

На входах і виході поставити регістри (блок затримки на 1 такт)

У якості джерела даних для кожного входу використати блоки “Uniform Random Number” з приведення результату до типу uint8. У якості параметра seed для першого блоку “Uniform Random Number” використати номер варіанту (у якості номеру варіанту можна взяти номер залікової книжки). Для кожного наступного блоку “Uniform Random Number” збільшувати значення seed на 1.

|  |
| --- |
|  |
| **Створено наступну схему** |

|  |
| --- |
|  |
| **Налаштування URN** |

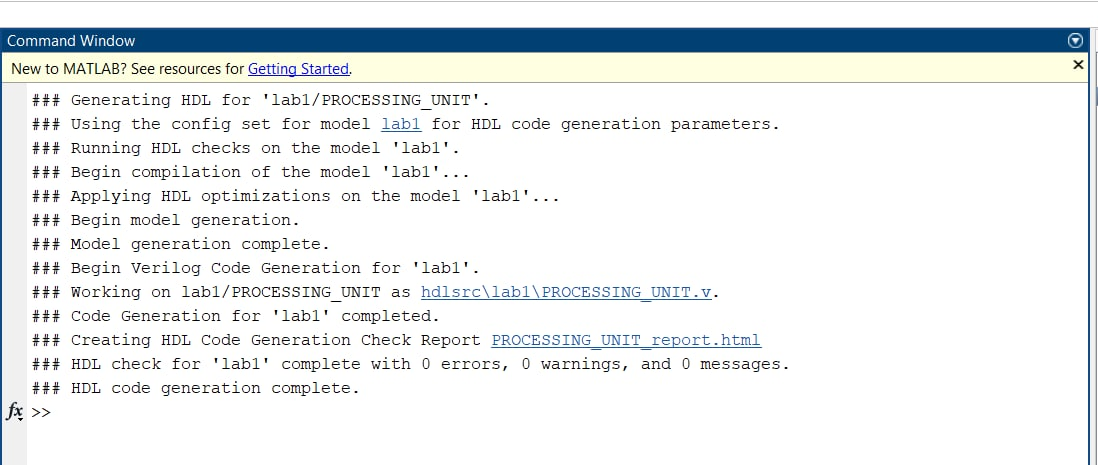
|  |
| --- |
|  |
| **Створено підсистему PROCESSING\_UNIT** |

1. **В логічному аналазаторі переглянути дані на входах і на виході створеної підсистеми у знаковому десятковому поданні (форматі)**

|  |
| --- |
|  |
| **Результати симуляції в програмі MathLab** |

|  |
| --- |
|  |
| **Просумували отримані дані в калькуляторі, після порівняння, можемо сказати, що результат збігається** |

1. **Створити звіт, в якому відобразити створену в Simulink блок схему (з відображенням типів даних та з відображенням вмісту підсистеми), та результати моделювання для перших десяти комбінацій на входах. Приклади подання наведені вище**
2. **Якщо додати у звіт згенерований код на Verilog та результат синтезу згенерованого коду в Quartus для створеної підсистеми (звіт по апаратним витратам, результат виклику RTL Viewer), можна отримати +2 додаткових бали**



**Успішна генерація Verilog коду в програмі MATHLAB за результатами виконання лаб.роботи**

|  |
| --- |
|  |
| **Схема побудована по Verilog коду, який згенерував MathLab в RTL Viewer** |
|  |
| **Витрати при компіляції згенерованого коду Verilog в програмі Quartus** |
|  |

1. **Якщо створити тестбенч в Matlab для створеної підсистеми і додати в звіт результат симуляції тестбенча в Modelsim/Questasim, можна отримати +2 додаткових бали**

Для того щоб створити файл тест бенч, зайши в налаштування моделі, налаштування HDL Coder, вибрали генерацію для нашої підсистеми, зберегли зміни, і вже після цього натиснули на «Generate Test bench»

|  |
| --- |
|  |
| **Створили файл тест бенчу в програмі MathLab та запустили симуляцію в програмі ModelSim** |

|  |
| --- |
|  |
| **Результати симуляції нашого тест бенч файлу** |